

## ⑫ 公開特許公報(A)

昭63-142867

⑤ Int.Cl.<sup>4</sup>

H 01 L 29/78

識別記号

3 0 1

庁内整理番号

Z-8422-5F

⑬ 公開 昭和63年(1988)6月15日

審査請求 未請求 発明の数 2 (全7頁)

⑭ 発明の名称 M I Sトランジスタ及びその製造方法

⑮ 特 願 昭61-290864

⑯ 出 願 昭61(1986)12月5日

⑰ 発 明 者 岡 澤 武 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑲ 代 理 人 弁理士 内 原 晋

## 明細書

## 発明の名称

M I Sトランジスタ及びその製造方法

## 特許請求の範囲

(1) 金属又は半導体材料からなる所定形状のゲート電極と、前記ゲート電極と一導電型半導体基板の一主面間に設けられたゲート絶縁膜と、前記ゲート電極の両側面からそれぞれ所定厚さの側面絶縁膜を介して挟んで配置され前記側面絶縁膜において前記一導電型半導体基板と局部的に接触する他導電型不純物をドーピングされた半導体膜からなるソース電極及びドレイン電極と、前記接触部分と自己整合している他導電型領域からなるソース領域及びドレイン領域とを含んでなることを特徴とするM I Sトランジスタ。

(2) 一導電型半導体基板の一主面上に、所定形状の第1の開孔部を有する第1の絶縁膜、前記第1の開孔部の底部をなし前記第1の絶縁膜より薄

くその一部に第2の開孔部からなる貫通孔を有する第2の絶縁膜及び前記第1の開孔部を埋める第1の多結晶シリコン膜を形成する工程と、前記第1の多結晶シリコン膜を前記第2の開孔部において選択的に除去することにより、第2及び第3の多結晶シリコン膜に分離する工程と、前記第2及び第3の多結晶シリコン膜にはさまれた第3の開孔部において、前記一導電型半導体基板の表面にゲート絶縁膜を、前記第2及び第3の多結晶シリコン膜の表面に、第3の絶縁膜をそれぞれ形成する工程と、前記第3の開孔部に第4の多結晶シリコン膜を形成する工程と、前記第2、第3及び第4の多結晶シリコン膜に他導電型不純物原子を導入することにより、前記第4の多結晶シリコン膜からなるゲート電極、それぞれ前記第2又は第3の多結晶シリコン膜からなるソース電極又はドレイン電極、前記ソース電極及びドレイン電極のそれぞれと前記一導電型半導体基板との接触部分と自己整合的に形成されたソース領域及びドレイン領域を形成する工程を含むことを特徴とするM I

## Sトランジスタの製造方法。

## 発明の詳細な説明

## 〔産業上の利用分野〕

本発明はMISトランジスタ及びその製造方法に関し、特に高密度集積回路に適したMOSTランジスタ及びその製造方法に関する。

## 〔従来の技術〕

従来、高密度集積化を目的とした半導体集積回路には主としてMOSTランジスタが回路構成用の基本素子として用いられて来た。MOSTランジスタは、構造が平面的で微細な加工に適している事や、素子間の分離が比較的容易である等の理由で素子の高集積化が著しく進み、近年では数ミリ角のチップ上に $10^5 \sim 10^6$ の素子を安定に形成出来るようになった。しかし、一方で従来型のMOSTランジスタ製造上の限界もみえ始めたといえる。

第4図(a)は従来のMOSTランジスタの主

要部を示す半導体チップの平面図、第4図(b)は第4図(a)のA-A'断面図である。

第4図(a)において51は、例えばnMOSTランジスタの場合 $10^{15} \sim 10^{16} \text{cm}^{-3}$ 程度の濃度の不純物を含んだp型半導体基板、53は多結晶シリコンより成るゲート電極である。この多結晶シリコンゲート電極53は、ゲート絶縁膜52によりp型半導体基板51とは絶縁されている。一方、p型半導体基板51の表面領域には、畚素によるn型不純物拡散層からなるソース領域55a、ドレイン領域55bが形成されている。これらのn型不純物拡散層は、不純物濃度が $10^{20} \sim 10^{21} \text{cm}^{-3}$ とp型半導体基板51よりはるかに高い。これらのn型不純物拡散層にはそれぞれソース引出電極59a、ドレイン引出電極59bが接続されている。MOSTランジスタは、これらのソース・ドレイン間に一定の電圧を印加した状態で前述したゲート電極53に外部からの入力信

号を電圧の形で印加し、ソース・ドレイン間の電流を制御しようとするものである。

既に言及したようにMOSTランジスタは、第4図(a)、(b)に示したような比較的単純な構造の為、素子の微細化が著しく進んでいる。しかし、製造上の限界も現われ始めている。

例えば、第4図(a)で示したソース・ドレイン領域55a、55bの濃度は、上述したようにp型半導体基板51よりも $10^5 \sim 10^6$ 倍も大きい為、製造工程における高温の熱処理(900~1000℃)に際して不純物がp型半導体基板51中へ拡散してしまう問題がある。

不純物拡散層の厚さは通常拡散層深さ( $x_j$ )といわれるが、熱処理において $x_j$ が大きくなるという事は、不純物がp型半導体基板51中を等方的に拡散することを意味する。

第4図(a)において、MOSTランジスタでは、不純物拡散層であるソース及びドレイン領域55a、55b間には一定の電圧が印加されてい

るが、ソース領域55aとドレイン領域55bが不純物の拡散により相互につながってしまうと、ソース・ドレイン間に定常電流が流れ、ゲート電極53による制御が不能になる。上に述べた熱処理によって $x_j$ が大きくなると、まさにこのような事態に到る。

従来、ソース・ドレインの不純物拡散層は、ゲート電極53を多結晶シリコン等で形成した後に、ゲート電極53をマスクとして畚素などをイオン注入して形成されたが、例えば、ゲート電極長が $0.6 \sim 0.7 \mu\text{m}$ の場合、前述したような $10^{20} \sim 10^{21} \text{cm}^{-3}$ の濃度になるようにソース・ドレイン不純物拡散層を形成しようとする、900℃~1000℃の熱処理ではほとんど $x_j$ を制御することは出来ない。 $x_j$ を制御するためには、ソース・ドレイン不純物拡散層の濃度を下げるか、あるいは高温の熱処理を避ける、すなわちもっと低温化する必要があるが、いずれの場合も今度はソース・ドレイン不純物拡散層の電気抵

抗値を増大させる事になり、MOSトランジスタの特性を低下させる事になり好ましくない。

〔発明が解決しようとする問題点〕

上述したように従来のMOSトランジスタは、ソース領域、ドレイン領域の不純物拡散層の深さ(x)の制御性が、素子の微細化に伴って相対的に悪化するために、安定した製造が困難になるという問題点があった。また、もしMOSトランジスタを特性を安定に製造しようとするれば素子の微細化に伴って特性が相対的に劣化していくという欠点を有していた。

〔問題点を解決するための手段〕

本発明MISトランジスタは、金属又は半導体材料からなる所定形状のゲート電極と、前記ゲート電極と一導電型半導体基板の一主面間に設けられたゲート絶縁膜と、前記ゲート電極の両側面からそれぞれ所定厚さの側面絶縁膜を介して挟んで配置され前記側面絶縁膜側において前記一導電型半導体基板と局部的に接触する他導電型不純物をドーピングされた半導体膜からなるソース電極及

びドレイン電極と、前記接触部分と自己整合している他導電型領域からなるソース領域及びドレイン領域とを含んでなるものである。

又、本発明MISトランジスタの製造方法は、一導電型半導体基板の一主面上に、所定形状の第1の開孔部を有する第1の絶縁膜、前記第1の開孔部の底部をなし前記第1の絶縁膜より薄くその一部に第2の開孔部からなる貫通孔を有する第2の絶縁膜及び前記第1の開孔部を埋める第1の多結晶シリコン膜を形成する工程と、前記第1の多結晶シリコン膜を前記第2の開孔部において選択的に除去することにより、第2及び第3の多結晶シリコン膜に分離する工程と、前記第2及び第3の多結晶シリコン膜にはさまれた第3の開孔部において、前記一導電型半導体基板の表面にゲート絶縁膜を、前記第2及び第3の多結晶シリコン膜の表面に、第3の絶縁膜をそれぞれ形成する工程と、前記第3の開孔部に第4の多結晶シリコン膜を形成する工程と、前記第2、第3及び第4の多結晶シリコン膜に他導電型不純物原子を導入する

ことにより、前記第4の多結晶シリコン膜からなるゲート電極、それぞれ前記第2又は第3の多結晶シリコン膜からなるソース電極又はドレイン電極、前記ソース電極及びドレイン電極のそれぞれと前記一導電型半導体基板との接触部分と自己整合的に形成されたソース領域及びドレイン領域を形成する工程を含む構成を有している。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図(a)は本発明MISトランジスタの実施例の主要部を示す半導体チップの平面図であり、説明の便宜上、実線又は鎖線で斜線を入れてあるが切断面を表わしているわけではない。

第1図(b)は第1図(a)のA-A'線断面図である。

この実施例は、半導体材料であるシリコンからなる所定形状のゲート電極13と、ゲート電極13とシリコンからなるp型半導体基板11の一主面間に設けられた酸化シリコンからなるゲート

絶縁膜12と、ゲート電極12の両側面からそれぞれ所定厚さの側面絶縁膜12a、12bを介して挟んで配置され側面絶縁膜12a、12b側においてp型半導体基板11と局部的に接触する、n型不純物をドーピングされた多結晶シリコン膜からなるソース電極16a及びドレイン電極16bと、前記接触部分と自己整合しているn型領域からなるソース領域15a及びドレイン領域15bとを含んでなるものである。

なお、第1図(a)において、2点鎖線で斜線を入れたところはフィールド絶縁膜の平面形状を示している。同様に、ゲート絶縁膜12の平面形状は一点鎖線で、ゲート絶縁膜12とフィールド絶縁膜である第1の絶縁膜17の中間の厚さの絶縁膜22と側面絶縁膜14a、14bの部分は実線でそれぞれ斜線を施してある。斜線のないところはソース領域15aとドレイン領域15bである。

この実施例のMOSトランジスタのソース領域15a、ドレイン領域15bはそれぞれソース電

極16a、ドレイン電極16bにドーピングされたn型不純物を拡散させてつくるので比較的低温でかつ浅く形成することが可能であり、前述した従来技術の欠点を免かれている。

この実施例はLDD構造のトランジスタと比較しても高濃度ソース領域又は高濃度ドレイン領域に相当するソース電極16a、ドレイン電極16bが直接半導体基板と接続してpn接合をつくっていないだけ寄生容量が少ないという利点を有している。

第2図(a)～(h)は本発明MISトランジスタの製造方法の第1の実施例を説明するための工程順に配置した半導体チップの断面図である。

まず、第2図(a)に示すように、シリコンからなるp型半導体基板11の一主表面に例えば熱酸化法で、酸化シリコンからなる第1の絶縁膜17を形成する。酸化シリコン膜の厚さは、後に示すようにソース電極16a、ドレイン電極16bの厚さとほぼ一致するため、MOSFETの性能を考慮して所定の厚さに設定される。

す)。第1の多結晶シリコン膜25のうち、素子領域に埋め込まれた領域を25aで示す。

次に、第2図(f)に示すように、ホトレジスト膜27を設け、ホットエッチング法により第1の多結晶シリコン膜25aのうちのチャネル領域にかかる部分を含めて一部を除去することにより、第2の多結晶シリコン膜28と第3の多結晶シリコン膜29に分離する。その結果、多結晶シリコンの側面と、p型半導体基板11の一部が露出される。次に、その領域を酸化することによりゲート絶縁膜12と、第3の絶縁膜である側面絶縁膜14a、14bとをそれぞれ形成すると、第2図(g)に示す構造を得る。この状態で適当な不純物をイオン注入し、p型半導体基板11のチャネル領域の開孔部30直下に導入する事が出来る。

次に、第2図(h)に示すように、前述した多結晶シリコン膜形成、表面平坦化膜形成、エッチバック法をくり返し、前記チャネル領域の開孔部30に第4の多結晶シリコンを埋め込む。

その後、全体にn型不純物をイオン注入法で、

次に、第2図(b)に示すように、ホットエッチング技術を用いて第1の絶縁膜17の所定の領域を除去して、第1の開孔部23を設け、その後、p型半導体基板11の表面をわずかに酸化し、第1の絶縁膜17より薄い酸化シリコンからなる第2の絶縁膜22を形成して素子領域とする。

次に、第2図(c)に示すように、素子領域の第2の絶縁膜22をホットエッチング法により選択的に除去して第2の開孔部24を設けチャネル領域を形成する。

続いて、第2図(d)に示すように全体に第1の多結晶シリコン膜25を形成し、さらに例えばホトレジストを用いて表面平坦化膜26を形成する。

その後、第2図(e)に示すように、RIE(リアクティブ・イオン・エッチング)のような異方性のエッチングにより、第1の絶縁膜17の表面が表われるまでエッチングする。その結果、第1の多結晶シリコン膜25が素子領域にのみ埋め込まれる(この手法を以下エッチバック法と称

第2、第3、第4の多結晶シリコン膜28、29、31を導入する。濃度は $10^{20} \sim 10^{21} \text{cm}^{-3}$ が好適である。

最後に、第1図(b)に示すように、全面にCVDシリコン酸化膜18a、18b、21を被着したのち、第2、第3、第4の多結晶シリコン膜28、29、31上部にそれぞれ開孔部を設け、例えばアルミニウム膜を被着して所定形状に整形してソース引出電極19a、ドレイン引出電極19b、ゲート引出電極20を形成する。

この実施例ではゲート長が $0.5 \mu\text{m}$ 程度のMOSトランジスタを安定して製造することができた。

第3図(a)～(d)は、本発明MISトランジスタの製造方法の第2の実施例を説明するための工程順に配置した半導体チップの断面図である。

まず、第3図(a)に示すように、シリコンからなるp型半導体基板11の一主表面を薄い酸化

膜からなる第2の絶縁膜22で被いチャネル領域のみ露出するようにホトレジスト膜32a、32bで被う。

次に、第3図(b)に示すように、ホトレジスト膜32a、32bで被われていない領域の第2の絶縁膜22を除去して、第2の開孔部24を形成しp型半導体基板11の一部を露出させる。ホトレジスト膜32a、32bを除去した後、全体に第1の多結晶シリコン膜25を形成する。続いて、第3図(c)に示すように、ホトエッチング法により、チャネル領域となる第2の開孔部24より広い面積を残して第1の多結晶シリコン膜25を選択的に除去する。この第1の多結晶シリコン膜25aは、素子領域となるものである。次に、第3図(d)に示すように、例えば、CVD法(化学気相成長法)により酸化シリコン膜33を全体に形成し、さらに表面平坦化膜34を引き続いて形成する。次に、前述したエッチバック法を適用し、第1の多結晶シリコン膜25aの表面が露出するまで全体をエッチングすることによ

厚さと、素子領域に形成した第2の絶縁膜の厚さによって決定されるが、これらはいずれも高温の熱酸化法によって形成できる為、今日では数%の水準で制御することが可能である。本発明の他の効果はMOSトランジスタのゲート幅に関する制御性である。本発明のMISトランジスタのゲート幅は第3の開孔部によって決定される。第1図(a)において、チャネル領域は長さB1及び幅B2とで規定されるが、このうちB2で示したチャネル幅はMISトランジスタの場合、チャネル領域を流れる電流値に比例する為正確に制御されている必要がある。しかるに、従来例では第4図(a)の平面図から解るように、MOSトランジスタの素子を取り囲む領域(素子分離領域と称す)によって決定されるため、製造上のばらつきが悪化することもある。

本発明の場合、チャネル幅B2は、薄い第2の絶縁膜を、1度のホトエッチング工程により形成するため、再現性は良好である。

また本発明の構造は、半導体集積回路にとって

り、第2図(e)と同じ構造が得られる。

以後の製造工程は第1の実施例と全く同一である。

ゲート長が0.5  $\mu\text{m}$ 程度のMOSトランジスタでも安定して製造できることは第1の実施例と同様である。

以上、MOSトランジスタを例にあげて説明したが、ゲート絶縁膜が酸化物以外の絶縁物からなるMISトランジスタに本発明を適用しうることには改めて詳細に説明するまでもなく明らかである。

#### (発明の効果)

以上説明したように本発明は、MISトランジスタのソース・ドレイン領域を絶縁膜で囲まれた多結晶シリコンなどの半導体膜と接触する部分に限定することにより、高濃度の不純物が半導体基板中へ拡散するのを正確に制御することが出来るので、特性劣化を伴うことなく微細化できる効果がある。ソース・ドレイン電極16a、16bは一導電型半導体基板上に形成した第1の絶縁膜の

は、ゲート電極が埋め込まれた構造になり、素子の表面が非常に平坦化されるという利点も有している。これは、素子を高密度集積化しようとする際、重要であることはいうまでもない。

要するに本発明MISトランジスタは、特性劣化を伴うことなく微細化又は高密度集積化できる効果があり、本発明MISトランジスタの製造方法は、微細化又は高密度集積化に適した構造のMISトランジスタを安定に製造できる効果がある。

#### 図面の簡単な説明

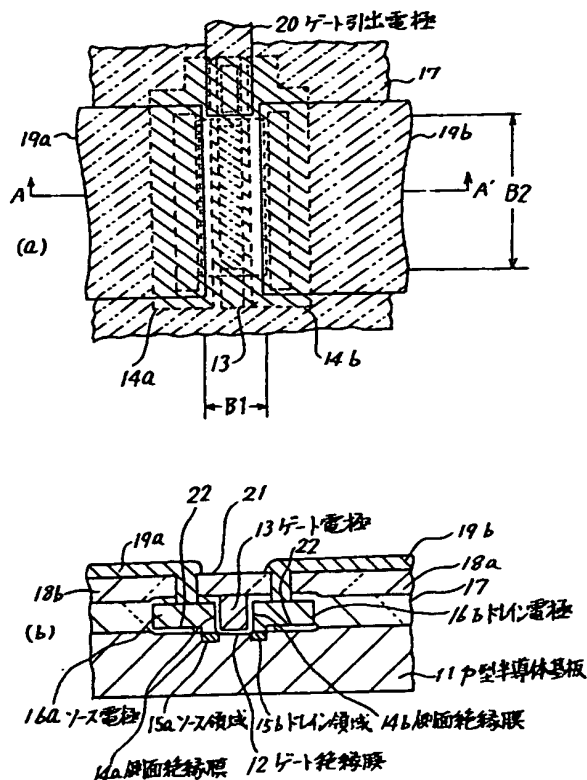
第1図(a)は本発明MISトランジスタの一例の実施例の主要部を示す半導体チップの断面図、第1図(b)は第1図(a)のA-A'線断面図、第2図(a)～(h)は本発明MISトランジスタの製造方法の第1の実施例を説明するための工程順に示した半導体チップの断面図、第3図(a)～(d)は本発明MISトランジスタの製造方法の第2の実施例を説明するための工程順に

配置した半導体チップの断面図、第4図(a)は従来のMOSトランジスタの主要部を示す半導体チップの平面図、第4図(b)は第4図(a)のA-A'線断面図である。

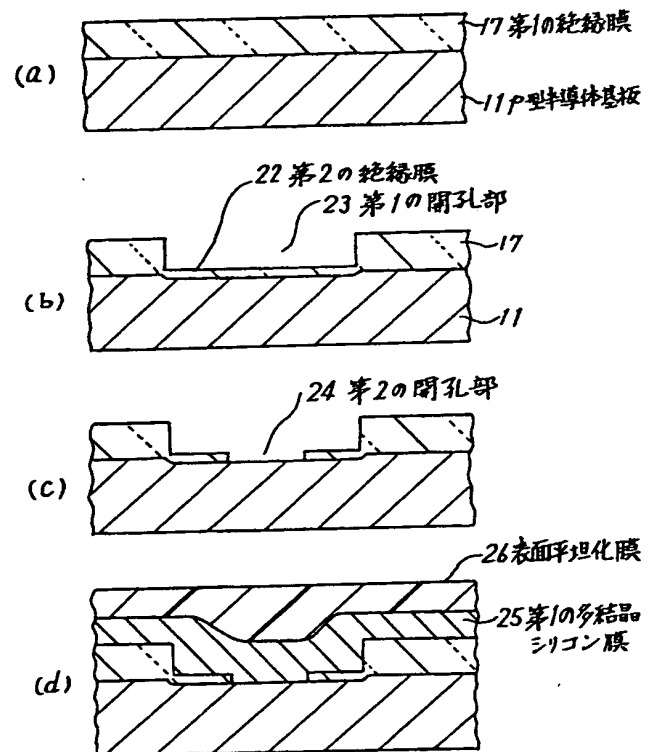
11、51…p型半導体基板、12、52…ゲート絶縁膜、13、53…ゲート電極、14a、14b…側面絶縁膜、15a、55a…ソース領域、15b、55b…ドレイン領域、16a…ソース電極、16b…ドレイン電極、17…第1の絶縁膜、18a、18b…CVDシリコン酸化膜、19a、59a…ソース引出電極、19b、59b…ドレイン引出電極、20…ゲート引出電極、21…CVDシリコン酸化膜、22…第2の絶縁膜、23…第1の開孔部、24…第2の開孔部、25、25a…第1の多結晶シリコン膜、26…表面平坦化膜、27…ホトレジスト膜、28…第2の多結晶シリコン膜、29…第3の多結晶シリコン膜、30…第3の開孔部、31…第4の多結晶シリコン膜、32a、32b…ホトレジスト膜、33…酸化シリコン膜、34…表

面平坦化膜。

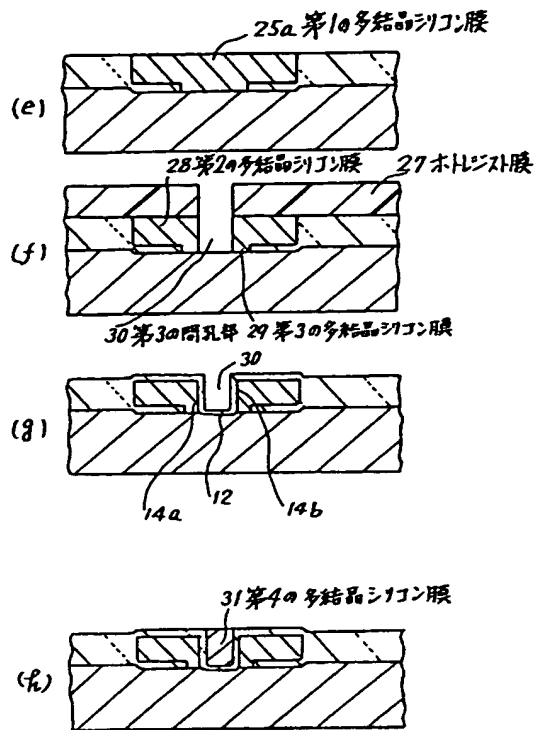
代理人 井理士 内 原 晋



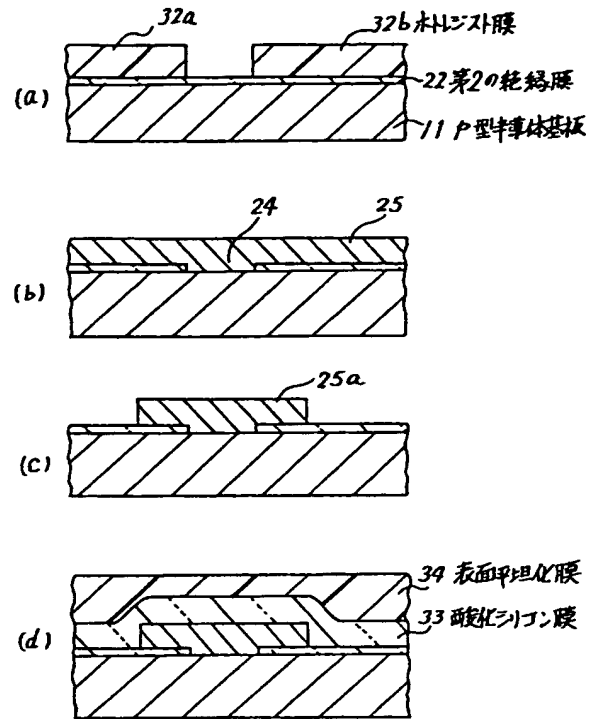
第 1 図



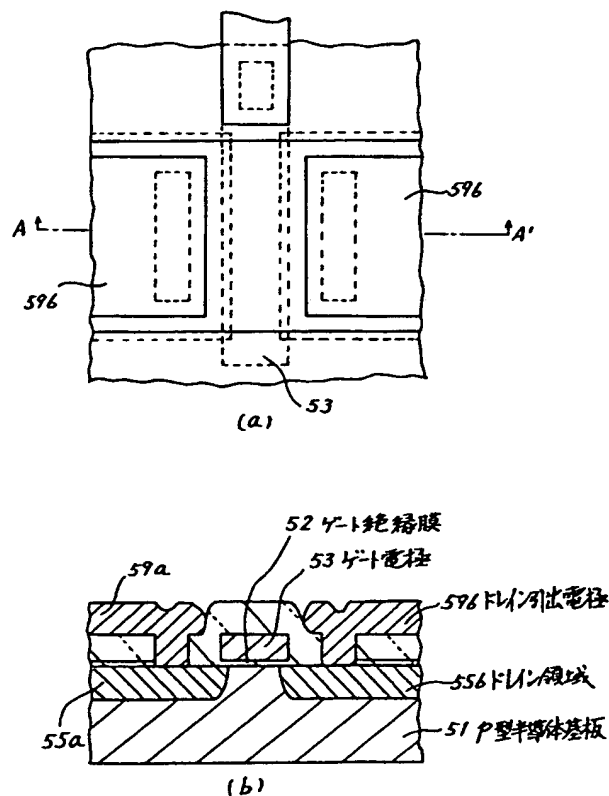
第 2 図



第 2 図



第 3 図



第 4 図